

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017545

(43)Dat of publication of application : 22.01.1999

(51)Int.Cl.

H03M 1/68

H03M 1/66

H03M 1/74

(21)Application number : 09-169757

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.06.1997

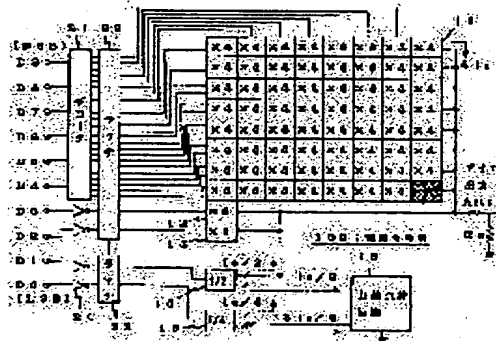
(72)Inventor : INOKAWA NAOTO
SAKAMOTO TATSUYA
MAIO KENJI

(54) D/A CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance the resolution of a D/A converter without largely increasing the circuit scale.

SOLUTION: This current summing type D/A converter that is composed of lots of high-order current cells 11 uniformly weighted to generate the same constant current and low-order current cells 12 weighted to generate a current of one over 2's power with respect to the current of the high-order current cells 11 is provided with a constant current means to generate a base current corresponding to a digit number of specific bits so as to configure the low-order current cells 12 and the D/A converter generates a constant current of one over 2's power with respect to the basic current by distributing equally the basic current to a 2's power number of branches.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17545

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.⁶

識別記号

F I

H 0 3 M 1/68
1/66
1/74

H 0 3 M 1/68
1/66
1/74

C

審査請求 未請求 請求項の数7 O L (全 8 頁)

(21) 出願番号 特願平9-169757

(22) 出願日 平成9年(1997) 6月26日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 井之川 直人

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 坂本 達哉

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 麻殖生 健二

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

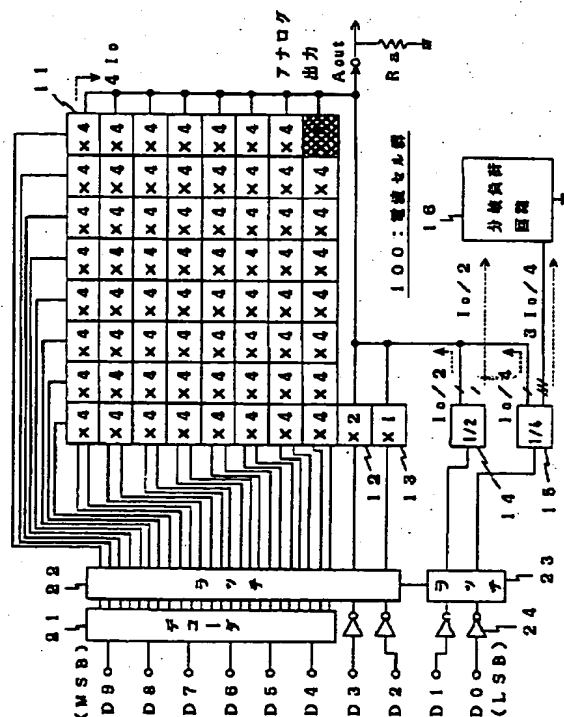
(74) 代理人 弁理士 大日方 富雄

(54) 【発明の名称】 D/A変換器

(57) 【要約】

【課題】 回路規模をそれほど増大させることなくD/A変換器の分解能を高める。

【解決手段】 同一の定電流を生成すべく一律に重みづけされた多数の上位電流セルと、上位電流セルに対して2のべき数分の1の電流を生成すべく重みづけされた下位電流セルを用いて構成される電流加算型のD/A変換器にあって、下位電流セルを構成するために、特定ビットの桁値に対応する基本電流を生成する定電流手段とともに、上記基本電流を2のべき数個の分岐路に等しく分一流させることにより上記基本電流に対して2のべき数分の1の定電流を生成させる。



【特許請求の範囲】

【請求項1】 同一の定電流を生成すべく一律に重みづけされた多数の上位電流セルと、上位電流セルに対して2のべき数分の1の電流を生成すべく重みづけされた下位電流セルと、多ビットデジタル入力信号のデータ値に応じた数および/または種類の電流セルを選択する選択手段を有し、選択された電流セルの定電流出力を加算出力させることにより、上記デジタル入力信号値に応じた出力電流を得るようにしたD/A変換器であって、下位電流セルを構成するために、特定ビットの桁値に対応する基本電流を生成する定電流手段と、上記基本電流を2のべき数個の分岐路に等しく分流させることにより上記基本電流に対して2のべき数分の1の定電流を生成させるようにした分岐手段を備えたことを特徴とするD/A変換器。

【請求項2】 上位電流セルはデジタル入力信号の上位ビットのデータ値に応じた数が選択されるように設けられ、下位電流セルは上記入力信号の下位ビットのビット値に応じて選択されるように設けられていることを特徴とする請求項1に記載のD/A変換器。

【請求項3】 下位電流セルとして、特定ビットの桁値に対応する基本電流を生成する定電流手段と、上記基本電流を2のべき数個の分岐路に等しく分流させることにより1の分岐路から上記基本電流に対して2のべき数分の1の電流を出力電流として取り出すようにした分岐手段を備えたことを特徴とする請求項1または2に記載のD/A変換器。

【請求項4】 分岐手段から出力電流として取り出される以外の分岐電流を、出力電流として取り出される分岐電流と同一の負荷条件にて通電させる分岐負荷回路を備えたことを特徴とする請求項1から3のいずれかに記載のD/A変換器。

【請求項5】 分岐手段から出力電流として取り出される以外の分岐電流を、アナログ出力端子と同一電位になるように電圧制御される端子で受けるようにした分岐負荷回路を備えたことを特徴とする請求項1から4のいずれかに記載のD/A変換器。

【請求項6】 電流セルをMOSトランジスタの定電流回路で構成するとともに、その定電流回路の電流重みづけを複数の同特性のMOSトランジスタの並列接続数によって行うことを特徴とする請求項1から5のいずれかに記載のD/A変換器。

【請求項7】 互いに並列接続されて同一の基準電圧で定電流動作させられる複数の同特性のMOSトランジスタによって下位電流セルの分岐路を形成したことを特徴とする請求項1から6のいずれかに記載のD/A変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、D/A変換器、さ

らには多ビットデジタル入力信号のデータ値に応じて選択された電流セルの定電流出力を加算出力する方式のD/A変換器に適用して有効な技術に関するものであって、たとえばビデオ信号処理用D/A変換器に利用して有効な技術に関するものである。

【0002】

【従来の技術】 従来、この種のD/A変換器としては、同一の定電流を生成すべく一律に重みづけされた多数の電流セルを使用し、この電流セル群の中から多ビットデジタル入力信号のデータ値に応じた数の電流セルを選択して、この選択電流セルの定電流出力を加算出力させることにより、上記デジタル入力信号値に応じたアナログ電流出力を得るようにしたものが提供されている（たとえば、日経BP社刊行「日経エレクトロニクス 1988年5月16日号（No. 447）」pp. 165～175参照）。

【0003】

【発明が解決しようとする課題】 しかしながら、上述した技術には、次のような問題のあることが本発明者らによってあきらかとされた。

【0004】 すなわち、上述したD/A変換器では、ビット分解能を高めるにしたがって回路規模が急激に増大してしまうという問題があった。

【0005】 例えば、6ビットのD/A変換器は63個の定電流セルを使って構成できるが、これよりも2ビットだけ多い8ビットのD/A変換器では255個もの定電流セルが必要となる。このため、ビット分解能の高いD/A変換器をLSI（半導体集積回路装置）として構成しようとしても、チップ面積の大幅な増大が避けられず、これに伴ってコストも著しく高くなってしまい、という問題が生じる。

【0006】 そこで、本発明者らは、たとえば8ビットのD/A変換器を構成する場合に、重み4の定電流を生成すべく構成された上位電流セルを63個使用し、この63個の上位電流セルの中から8ビットデジタル入力信号の上位6ビットデータ値に応じた数の電流セルを選択させるとともに、重み2と1の電流をそれぞれ生成すべく構成された2種類の下位電流セルを使用し、この2種類の下位電流セルを上記入力信号の下位2ビットで選択させ、このようにして選択される上位および下位の電流セルの定電流出力を加算出力させるという構成を検討した。これによれば、上位電流セル63個と下位電流セル2個の計65個の電流セルだけでもって、8ビット分解能のD/A変換器を構成することができる。

【0007】 上記8ビット分解能のD/A変換器は、上述の構成に加えて、重みが1/2と1/4の2種類の下位電流セルを追加することにより、その分解能をさらに2ビット高めて10ビットにすることが可能である。この場合、64個の上位電流セルを入力信号の上位6ビットデータで選択させるとともに、4種類の下位電流セル

を下位4ビットデータで選択させることにより、10ビットのD/A変換を行わせることができる。しかし、このためには、4から1/4まで最大で16倍の差がある5種類の重みをそれぞれ高精度に付与する必要がある。重みづけの精度が不十分だと、デジタル入力信号の変化に対するアナログ出力の変化精度いわゆる微分精度が確保できなくなるからである。

【0008】電流セルはMOSトランジスタなどの能動素子を用いて構成されるが、このMOSトランジスタを用いて4から1/4までの5種類の重みの電流セルを構成する場合、(A)アスペクト比(ゲート長幅比)を1/2, 1/4, ...に縮小したMOSトランジスタを使用する方法と、(B)最小重みの1/4を基本単位にし、同サイズのMOSトランジスタを2個, 4個, ...と並列接続することにより、上記基本単位の2倍, 4倍, ...の重みの電流セルを形成する方法とがある。

【0009】前者(A)の方法では、小さな重み1/2, 1/4の電流セルの構成に際して、MOSトランジスタのゲート長をゲート幅に対して極端に大きくしなければならないために素子構造上の無理が生じ、また製造バラツキなどの誤差が他のサイズのMOSトランジスタに対して不均一に現れたりするために、精度の再現性が悪い。後者(B)の方法では、重みが増すごとにトランジスタの並列接続数が多くなって、最小重みが1/4の場合、重み4の上位電流セルでは、セルごとに16個ものトランジスタを並列接続しなければならない。

【0010】このように、ビット分解能を高めるためには下位電流セルの精度を高めなければならないが、下位電流セルの精度を高めるためには、電流セルの大多数を占める上位電流セルでの素子サイズあるいは素子数を大幅に増大させなければならず、いずれにしても、回路の著しい大規模化は避けられなかった。

【0011】本発明の目的は、回路規模をそれほど増大させることなくD/A変換器の分解能を高める、という技術を提供することにある。

【0012】本発明の前記ならびにそのほかの目的と特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記のとおりである。

【0014】すなわち、同一の定電流($4 \times I_o$)を生成すべく一律に重みづけされた多数の上位電流セル(11)と、上位電流セル(11)に対して2のべき数分の1の電流を生成すべく重みづけされた下位電流セル(12~15)と、多ビットデジタル入力信号(D0~D9)のデータ値に応じた数および/または種類の電流セルを選択する選択手段(21, 24)を有し、選択された電流セルの定電流出力を加算出力させることにより、

上記デジタル入力信号値に応じた出力電流を得るようにしたD/A変換器にあって、下位電流セル(14, 15)を構成するために、特定ビットの桁値に対応する基本電流を生成する定電流手段と、上記基本電流を2のべき数個の分岐路に等しく分流させることにより上記基本電流に対して2のべき数分の1の定電流を生成させるようにした分岐手段を設けるようにしたものである。

【0015】上述した手段によれば、サイズまたは形状を極端に異形化した素子を使用することなく、またデジタル入力信号の上位ビットに対応する上位電流セルでの素子数を大幅に増やすことなく、相対比精度を出しやすい同サイズの素子だけでもって、重みの異なる電流セルを高精度に構成することができる。これにより、回路規模をそれほど増大させることなくD/A変換器の分解能を高める、という目的が達成される。

【0016】また、上記上位電流セル(11)はデジタル入力信号の上位ビット(D4~D9)のデータ値に応じた数が選択されるようにされ、下位電流セル(12~15)は上記入力信号の下位ビット(D0~D3)のビット値に応じて選択されるようにする。これにより、下位電流セルの追加によりビット分解能を高めることができる。

【0017】さらに、上記下位電流セル(14, 15)として、特定ビット(D2)の桁値に対応する基本電流(I_o)を生成する定電流手段(P11)と、上記基本電流(I_o)を2のべき数個の分岐路に等しく分流させることにより1の分岐路から上記基本電流に対して2のべき数分の1の電流を出力電流として取り出すようにした分岐手段(P31~P34)を設ける。これにより、同一サイズの素子でもって精度の高い電流セルを得ることができる。

【0018】さらに、上記分岐手段から出力電流として取り出される以外の分岐電流を、出力電流として取り出される分岐電流と同一の負荷条件にて通電させる分岐負荷回路(16)を設ける。これにより、電流の分岐を高い精度でもって等しく行わせることができる。

【0019】さらに、上記分岐手段から出力電流として取り出される以外の分岐電流を、アナログ出力端子と同一電位(Va)になるように電圧制御される端子(out B)で受けるようにした分岐負荷回路(16)を設ける。これにより、すべての分岐路での負荷条件をアナログ出力端子の負荷状態にかかわらず、同一に揃えることができる。

【0020】さらに、上記電流セルをMOSトランジスタ(P11~P14, P31~P34)の定電流回路で構成するとともに、その定電流回路の電流重みづけを複数の同特性のMOSトランジスタの並列接続数によって行うようにする。これにより、製造バラツキ等の影響を受けることなく、高い相対精度を得ることができる。

【0021】さらに、互いに並列接続されて同一の基準

電圧で定電流動作させられる複数の同特性のMOSトランジスタ(P31~P34によって下位電流セル(14, 15)の分岐路を形成することにより、精度の高い電流分岐路を実現することができる。

【0022】

【発明の実施の形態】以下、本発明の好適な実施態様を図面を参照しながら説明する。

【0023】図1は本発明の技術が適用されたD/A変換器の一実施態様を示す。

【0024】同図に示すD/A変換器は分解能10ビットとして構成され、電流セル群100、デコーダ21、データラッチ回路22、23、バッファ・インバータ24などを用いて、10ビットデジタル入力信号(D0~D9)のデータ値に対応する大きさのアナログ出力電流(Aout)を生成する。

【0025】ここで、電流セル群100は、8×8のマトリックス状に配置された63個の上位電流セル11と、4種類の下位電流セル12~15からなっている。

【0026】上位電流セル11は、デジタル入力信号(D0~D9)の上位6ビットデータ(D4~D9)値に対応すべく63個(=2⁶-1)設けられ、各電流セル11はそれぞれ同一重み4の定電流(4×I_o)を生成すべく一律に構成されている。

【0027】この上位電流セル11は、デコーダ21により、デジタル入力信号(D0~D9)の上位6ビットデータ値に応じた数が選択されるようになっている。デコーダ21は8×8のマトリックス選択出力ラインを有し、デジタル入力信号(D0~D9)の上位6ビットデータ(D4~D9)値に相当する数の電流セル11を選択する。選択された電流セル11の出力電流はアナログ出力端子(Aout)に加算出力される。

【0028】下位電流セル12~15は上記デジタル入力信号(D0~D9)の下位4ビット(D0~D3)の各ビットに1個ずつ対応する形で計4個(4種類)設けられ、それぞれに対応するビットの論理値("1"または"0")に応じて個別に選択されるようになっている。この場合、下位4番目のビットD3に対応する電流セル12は重み2、下位3番目のビットD2に対応する電流セル13は重み1、下位2番目のビットD1に対応する電流セル14は重み1/2、最下位のビットD0に対応する電流セル15は重み1/4がそれぞれ付与されている。入力信号の下位4ビット(D0~D3)により選択された下位電流セル(12~15)の出力電流は上記アナログ出力端子(Aout)に加算出力される。

【0029】さらに、詳細は後述するが、重み1/2の電流セル14は、重み1の電流I_oを2つの分岐路にI_o/2ずつ均等に分流させるとともに、その分岐路の1つから取り出される電流(I_o/2)を1/2重みの出力電流として取り出すように構成されている(図5)。同様に、重み1/4の電流セル15は、重み1の電流I

oを4つの分岐路にI_o/4ずつ均等に分流させるとともに、その分岐路の1つから取り出される電流(I_o/4)を重み1/4の出力電流として取り出すように構成されている(図6)。出力電流として取り出されない他の分岐路の電流は、出力電流として取り出される分岐電流と同一の負荷条件を形成する分岐負荷回路16へ通電されるようになっている(図7)。

【0030】以上のようにして、重み4の定電流(4×I_o)を生成すべく構成された上位電流セル11を64個使用し、この64個の上位電流セル11の中から入力信号の上位6ビットデータ(D4~D9)値に応じた数の電流セル11を選択させるとともに、重み2, 1, 1/2, 1/4の電流(2×I_o, 1×I_o, I_o/2, I_o/4)をそれぞれ生成すべく構成された4種類の下位電流セル12~15を使用し、この4種類の下位電流セル12~15を入力信号の下位4ビット(D0~D3)で選択させ、このようにして選択される上位および下位の電流セル11~15の定電流出力を加算出力させることにより、上位電流セル63個と下位電流セル4個の計67個の電流セルだけでもって、10ビット分解能のD/A変換を行わせることができる。このD/A変換出力は電流形式であるが、その出力電流(Aout)を所定の抵抗素子R_aに通電させることにより、電圧形式の出力(R_a×Aout)に変換させることができる。

【0031】図2は上位電流セル11の具体的な回路構成例を示す。

【0032】同図に示す電流セル11は、pチャネルMOSトランジスタP11~P14, P2, P3と、nチャネルMOSトランジスタN1, N2とを用いて構成されている。pチャネルMOSトランジスタP11~14は同一のゲート長およびゲート幅により同一特性を持つように形成されている。このpチャネルMOSトランジスタP11~P14は、4個が互いに並列接続されるとともに、その共通ソースが電源電位V_{cc}に接続され、かつその共通ゲートに定電流制御用の基準電圧V_{ref}1が印加されることにより、その共通ドレインから重み4の定電流(4×I_o)を出力する。この定電流出力(4×I_o)は、P11~P14の共通ドレイン側に直列接続されたpチャネルMOSトランジスタP3を介して、アナログ出力端子(Aout)へ導出されるようになっている。

【0033】なお、上記基準電圧V_{ref}1は、ドレインとゲートが共通接続され、かつドレインとソース間に所定の基準電流が通電されるように接続されたMOSトランジスタ(図示省略)のゲート・ソース間から与えられる。つまり、P11~P14はカレントミラーの転写出力回路として動作することにより、上記基準電流に対して一定比率の定電流を生成する。

【0034】pチャネルMOSトランジスタP3は、pチャネルMOSトランジスタP11~P14とアナログ

出力端子(out)の間に直列に介在するとともに、そのゲートに一定の基準電圧 V_{ref2} を与えられることにより、電流セル11間の干渉を阻止する一種のバッファとして機能する。

【0035】pチャネルMOSトランジスタP2とnチャネルMOSトランジスタN2はCMOSインバータを形成する。このCMOSインバータはデコーダ(21)にて生成された選択信号を論理反転して出力する。nチャネルMOSトランジスタN1はダイオード接続され、上記CMOSインバータの論理出力状態に応じてオン/オフさせられることにより、電流セル11の出力をオン/オフ制御する。

【0036】すなわち、選択信号が“1”(ハイ)では、上記CMOSインバータの出力が“0”(ロウ)となることによりN1がオン状態になり、これにより、P11~P14が生成する定電流($4 \times I_o$)はN1にバイパスされて出力されなくなる。他方、選択信号が“0”では、上記CMOSインバータの出力が“1”になることによりN1がオフ状態になり、このときは、P11~P14が生成する定電流($4 \times I_o$)がN3にバイパスされることなく、そのまま出力されるようになる。pチャネルMOSトランジスタP3は、N1がオン状態になったときに、他の電流セルからの電流の逆流を阻止する。

【0037】図3は重み2の下位電流セル12の具体的な回路構成例を示す。

【0038】同図に示す電流セル12は、デジタル入力信号の下位4番目のビット(D3)により選択されるセルであって、同一特性を持つように構成され2個のpチャネルMOSトランジスタP11、P12を並列接続することにより、重み2の定電流($2 \times I_o$)を出力するように構成されている。

【0039】図4は重み1の下位電流セル13の具体的な回路構成例を示す。

【0040】同図に示す電流セル13は、デジタル入力信号の下位3番目のビット(D2)により選択されるセルであって、1個のpチャネルMOSトランジスタP11だけにより、重み1の定電流($1 \times I_o$)を出力するように構成されている。

【0041】図5は重み1/2の下位電流セル14の具体的な回路構成例を示す。

【0042】同図に示す電流セル14は、デジタル入力信号の下位2番目のビット(D1)により選択されるセルであって、1個のpチャネルMOSトランジスタP11により重み1の定電流($1 \times I_o$)を生成させるとともに、この生成電流($1 \times I_o$)を2個のpチャネルMOSトランジスタP31、P32に均等に分流させるようにしてある。

【0043】pチャネルMOSトランジスタP31、P32は同一のゲート長およびゲート幅により同一特性を

持つように形成されるとともに、互いに並列接続され、かつその共通ゲートに基準電圧 V_{ref2} が印加されることにより、重み1の生成電流を等しく2分岐させる分岐路を形成する。これにより、各分岐路にはそれぞれ重み1/2の電流($I_o/2$)が流れるようになる。したがって、この2つの分岐路の1つから重み1/2の電流($I_o/2$)を取り出して出力させることができる。他の分岐路に流れる電流($I_o/2$)は、アナログ出力端子(Aout)と同一の負荷条件を形成する分岐負荷回路16へ通電される。

【0044】図6は重み1/4の下位電流セル15の具体的な回路構成例を示す。

【0045】同図に示す電流セル15は、デジタル入力信号の下位1番目のビット(D1)により選択されるセルであって、1個のpチャネルMOSトランジスタP11により重み1の定電流($1 \times I_o$)を生成させるとともに、この生成電流($1 \times I_o$)を4個の同一特性のpチャネルMOSトランジスタP31、P32、P33、P34に均等に分流させるようにしてある。これにより、各分岐路にはそれぞれ重み1/4の電流($I_o/4$)が流れるようになる。したがって、この4つの分岐路の1つから重み1/4の電流($I_o/4$)を取り出して出力させることができる。他の分岐路に流れる電流($3 \times I_o/4$)は、アナログ出力端子(Aout)と同一の負荷条件を形成する分岐負荷回路16へ通電される。

【0046】図7は上記分岐負荷回路16の具体的な回路構成例を示す。

【0047】同図に示す分岐負荷回路16はnチャネルMOSトランジスタN41、N42、N43およびpチャネルMOSトランジスタP41、P42、P43を用いて構成され、アナログ出力端子(Aout)に現れる電圧 V_a をP41およびN41の各ソースフォロウにより出力端子outBに伝達する。このようにしてアナログ出力端子(Aout)と同電位に電圧制御される端子outBに、上記下位電流セル14、15からの分岐電流を受けさせることにより、すべての分岐路での負荷条件をアナログ出力端子の負荷状態にかかわらず、同一に揃えることができるようになる。これにより、MOSトランジスタ1個だけで生成される重み1の基本電流(I_o)を高い精度でもって等しく分岐させることができる。

【0048】以上のようにして、サイズまたは形状を極端に異形化した素子を使用することなく、またデジタル入力信号の上位ビットに対応する上位電流セルでの素子数を大幅に増やすことなく、相対比精度を出しやすい同サイズの素子だけでもって、重みの異なる電流セルを高精度に構成することができ、これにより、回路規模をそれほど増大させることなくD/A変換器の分解能を高めることができる。

【0049】以上、本発明者によってなされた発明を実施態様にもとづき具体的に説明したが、本発明は上記実施態様に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、上位電流セル11の重みを1とし、下位電流セルの重みを $1/2 \sim 1/16$ とする構成であってもよい。また、電流セル11～15および分岐負荷回路16の一部または全体をバイポーラトランジスタを用いて構成することも可能である。

【0050】以上の説明では主として、本発明者によってなされた発明をその背景となった利用分野であるビデオ信号処理用の10ビットD/A変換器に適用した場合について説明したが、それに限定されるものではなく、たとえばオーディオ用あるいはデジタル方式通信用のD/A変換器にも適用できる。

【0051】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0052】すなわち、回路規模をそれほど増大させることなくD/A変換器の分解能を高めることができる。

【図面の簡単な説明】

【図1】本発明の技術が適用されたD/A変換器の一実施態様を示す回路図

【図2】上位電流セルの具体的な構成例を示す回路図

【図3】重み2の下位電流セルの具体的な構成例を示す

回路図

【図4】重み1の下位電流セルの具体的な構成例を示す回路図

【図5】重み $1/2$ の下位電流セルの具体的な構成例を示す回路図

【図6】重み $1/4$ の下位電流セルの具体的な構成例を示す回路図

【図7】分岐負荷回路の具体的な構成例を示す回路図

【符号の説明】

100 電流セル群

11 上位電流セル（重み4）

12 下位電流セル（重み2）

13 下位電流セル（重み1）

14 下位電流セル（重み $1/2$ ）

15 下位電流セル（重み $1/4$ ）

16 分岐負荷回路

21 デコーダ

22, 23 データラッチ回路

24 バッファ・インバータ

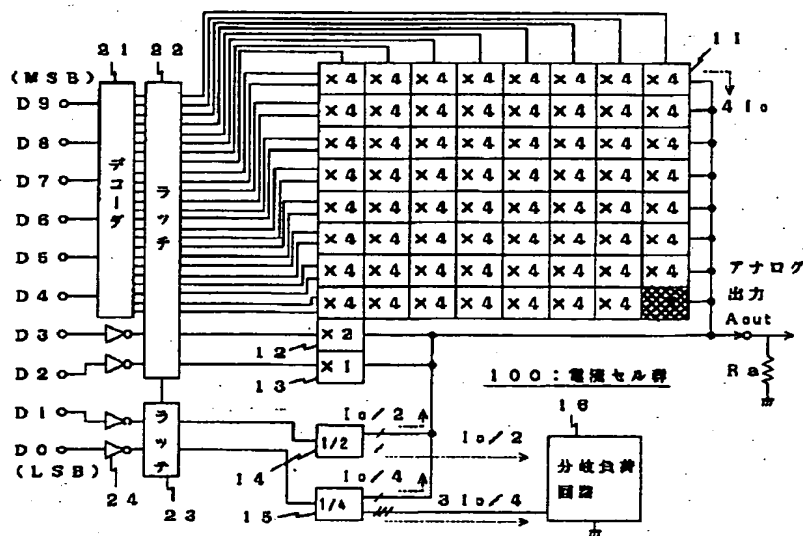
D0～D9 デジタル入力信号（10ビット）

Aout アナログ出力電流

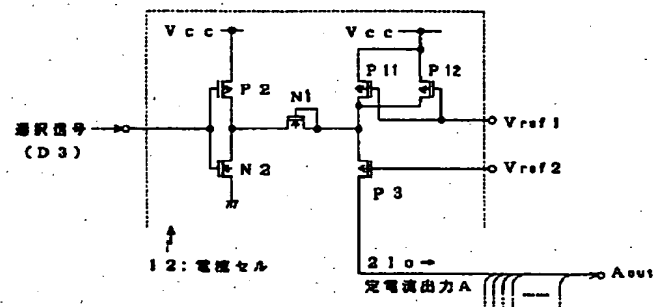
P11～P14 pチャネルMOSトランジスタ（定電流生成用）

P31, P34 pチャネルMOSトランジスタ（分岐路形成用）

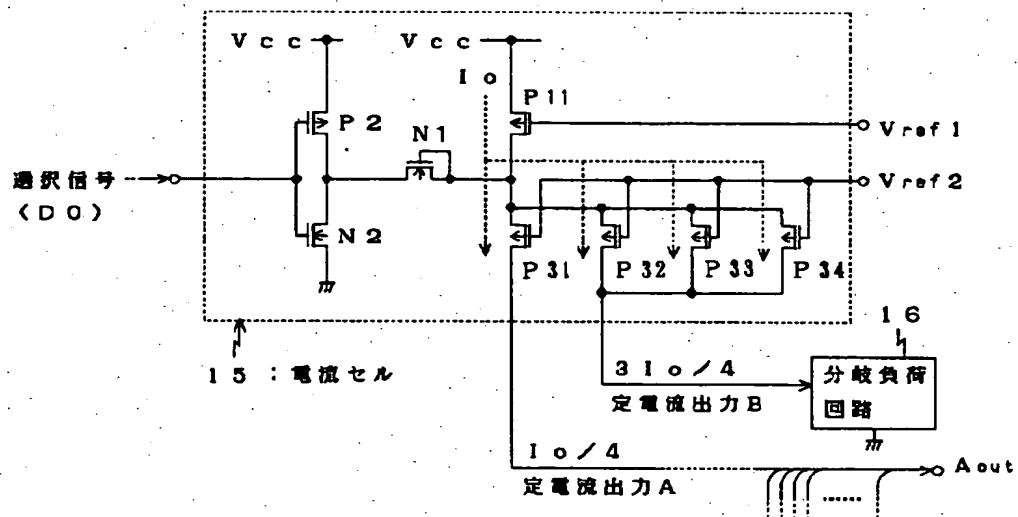
【図1】



【図 3】

[illegible]

【図 6】



【圖 7】

